

CLIPPEDIMAGE= JP405315552A  
PAT-NO: JP405315552A  
DOCUMENT-IDENTIFIER: JP 05315552 A  
TITLE: SEMICONDUCTOR PROTECTIVE DEVICE

PUBN-DATE: November 26, 1993

INVENTOR-INFORMATION:

NAME

MURAKAMI, KOICHI

ASSIGNEE-INFORMATION:

NAME

NISSAN MOTOR CO LTD

COUNTRY

N/A

APPL-NO: JP04121476

APPL-DATE: May 14, 1992

INT-CL (IPC): H01L027/06; H01L027/092

US-CL-CURRENT: 257/357,257/361

ABSTRACT:

PURPOSE: To provide a semiconductor protective device of a structure, wherein a parasitic device is effectively applied and surge resistance is improved.

CONSTITUTION: A thyristor 63 is constituted of a parasitic vertical bipolar transistor 58 and a parasitic lateral bipolar transistor 60 and a circuit formed by connecting a Zener diode 57 brought into a low breakdown strength state to the thyristor 63 is inserted between a power terminal and an earth terminal. When a surge is applied, the diode 57 is first broken down, whereby the thyristor 63 is turned on and most of a surge current flows through the path of the thyristor 63 and the path of a diode 17 or 18, which is a normal input protective circuit. As a result, a semiconductor protective device becomes stronger than a conventional semiconductor protective device against destruction.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-315552

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/06  
27/092

9170-4M  
9054-4M

H 0 1 L 27/06  
27/08

3 1 1 B  
3 2 1 H

審査請求 未請求 請求項の数1(全 9 頁)

(21)出願番号 特願平4-121476

(22)出願日 平成4年(1992)5月14日

(71)出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72)発明者 村上 浩一

神奈川県横浜市神奈川区宝町2番地 日産  
自動車株式会社内

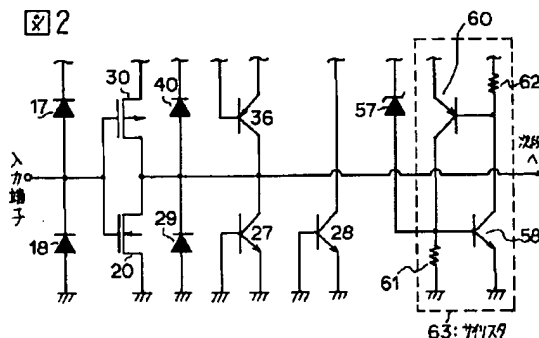
(74)代理人 弁理士 中村 純之助 (外1名)

(54)【発明の名称】 半導体保護装置

(57)【要約】

【目的】寄生デバイスを有効に活用してサージ耐量を向上させた半導体保護装置を提供する。

【構成】寄生縦型バイポーラトランジスタ58と寄生横型バイポーラトランジスタ60とでサイリスタ63を構成し、それに低耐圧化したツェナダイオード57を接続した回路を、電源端子と接地端子間に挿入した。サージが印加されると、まずツェナダイオード57がブレイクダウンし、それによってサイリスタ63がターンオンし、サージ電流は大部分がサイリスタ63と通常の入力保護回路のダイオード17または18の経路に流れるため、破壊に対して従来よりも強くなる。



## 【特許請求の範囲】

【請求項1】第1導電型の半導体基板の一主面に形成された第2導電型のMOSトランジスタと、上記半導体基板の一主面に形成された第2導電型の第1の領域表面に形成された第1導電型のMOSトランジスタと、を備えたCMOS半導体装置において、

上記半導体基板をコレクタ、上記半導体基板の一主面に形成された第2導電型の第2の領域をベース、上記第2の領域表面に形成された第1導電型の第3の領域をエミッタとし、上記第2の領域と上記第3の領域とが接続され、かつ電源端子と接地端子間に接続された縦型バイポーラトランジスタと、

上記半導体基板をベース、上記第2の領域をコレクタ、上記半導体基板の一主面上に上記第2の領域に近接して形成された第2導電型の第4の領域をエミッタとし、かつ電源端子と接地端子間に接続された横型バイポーラトランジスタと、

上記縦型バイポーラトランジスタのコレクタ：ベース間もしくは上記横型バイポーラトランジスタのコレクタ：ベース間の少なくとも一方に設けられたツェナダイオードと、を備え、

かつ、上記ツェナダイオードの耐圧を上記CMOSトランジスタに寄生的に形成される各種デバイスの耐圧よりも小さい値に設定したことを特徴とする半導体保護装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、静電サージ等に対する耐量を向上させた半導体保護装置に関する。

## 【0002】

【従来の技術】従来の半導体保護装置としては、例えば図5および図6に示すようなものがある。図5は従来装置の断面図、図6は入力保護回路および寄生デバイスの等価回路図である。以下、図5および図6に基づいて従来例の構造および動作を説明する。入力保護回路は、N型基板11の表面に形成された第1の高濃度P型拡散領域13と該N型基板11間に形成された電源側ダイオード17と、第1のP型ウェル12内に形成された第1の高濃度N型拡散領域14と該P型ウェル12間に形成された接地側ダイオード18とから成る。これらの入力保護回路は、次段に接続される、Pウェル21表面に形成されたNMOSTランジスタ20のゲート酸化膜26とN型基板11表面に形成されたPMOSTランジスタ30のゲート酸化膜35とを保護する。

【0003】また、この装置には、上記のNMOSTランジスタ20およびPMOSTランジスタ30以外に各種の寄生デバイスが形成されている。すなわち、NMOSTランジスタ20のソース領域23、ドレイン領域24、基板コンタクト領域22をそれぞれエミッタ、コレクタ、ベースとする寄生横型（ラテラル）NPNトラン

ジスタ27と、NMOSTランジスタ20のソース領域23、N型基板11、基板コンタクト領域22をそれぞれエミッタ、コレクタ、ベースとする寄生縦型（パーティカル）NPNトランジスタ28と、PMOSTランジスタ30のソース領域32、ドレイン領域31、基板コンタクト領域33をそれぞれエミッタ、コレクタ、ベースとする寄生横型PNPトランジスタ36等である。

【0004】図6は、上記のごとき寄生デバイスを含む等価回路図である。以下、図6に基づいて従来装置の問題点を説明する。入力端子－電源端子（Vdd）間に入力端子からマイナス・サージが印加された場合、サージ電流は電源側ダイオード17のブレイクダウン電流として電源側から入力側に流れる以外に、PMOSTランジスタ30をONさせ、寄生横型NPNトランジスタ27をブレイクダウンさせ、接地側ダイオード18を通して入力側に流れる経路と、寄生横型NPNトランジスタ27と同時にターンオンする寄生縦型NPNトランジスタ28から接地側ダイオード18を通して入力側に流れる経路とを流れる。そして、これらの寄生横型NPNトランジスタ27および寄生縦型NPNトランジスタ28のエミッタ23は小サイズであり、しかもゲート電極近傍の拡散層エッジに電流が集中しやすいため、破壊しやすいという問題点がある。また、入力端子－接地端子（GND）間に入力からプラス・サージが印加された場合、サージ電流は接地側ダイオード18のブレイクダウン電流として入力側から接地側に流れる。同時にNMOSTランジスタ20がONすることにより、入力側から電源側ダイオード17を通してブレイクダウンした寄生PNPトランジスタ36を経てNMOSTランジスタ20から接地側に流れる経路がある。しかし、寄生PNPトランジスタ36の耐圧は高いため、この経路を流れる電流は接地側ダイオード18を流れる電流に比べて無視できる。従って、サージ電流の大部分は接地側ダイオード18のブレイクダウン電流として流れるため、接地側ダイオード18が破壊に到りやすいという問題がある。

【0005】次に、図7は従来出力回路の断面図、図8は図7の等価回路図である。図7の回路は、Pウェル領域72の表面に形成された出力NMOSTランジスタ77とN型基板71の表面に形成された出力PMOSTランジスタ82とから成り、図5の入力回路の場合と同様に、寄生横型NPNトランジスタ83、寄生縦型NPNトランジスタ84、寄生横型PNPトランジスタ85、NMOSTランジスタ77の寄生ダイオード86、PMOSTランジスタ82の寄生ダイオード87などの各種寄生デバイスが形成される。図8は、上記のごとき寄生デバイスを含む等価回路図である。以下、図8に基づいて従来出力回路の問題点について説明する。出力端子－電源端子（Vdd）間に入力端子からマイナス・サージが印加された場合、サージ電流はPMOSTランジ

3

スタ82の寄生ダイオード87、すなわち寄生横型PNPトランジスタ85のブレイクダウン電流として流れる。この際、寄生横型PNPトランジスタ85の耐圧は高く2次降服も起こさないため、電源から寄生縦型NPトランジスタ84、NMOSTランジスタ77の寄生ダイオード86を通して流れる電流の経路はない。従って、高いサージ耐量を得ることが困難である、という問題がある。

【0006】

【発明が解決しようとする課題】上記のように従来の半導体保護装置においては、本来の保護回路に寄生する各種の寄生デバイスを有効に利用していないため、サージ耐量を十分高くすることが困難であり、場合によっては寄生デバイスによってサージ耐量が下がることさえある、という問題があった。

【0007】本発明は上記のごとき従来技術の問題を解決するためにさなれたものであり、寄生デバイスを有効に活用してサージ耐量を向上させた半導体保護装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記の目的を達成するため、本発明においては、特許請求の範囲に記載するように構成している。すなわち、本発明においては、半導体基板をコレクタ、半導体基板の一主面に形成された第2導電型の第2の領域をベース、第2の領域表面に形成された第1導電型の第3の領域をエミッタとし、上記第2の領域と上記第3の領域とが接続され、かつ電源端子と接地端子間に接続された縦型バイポーラトランジスタと、半導体基板をベース、第2の領域をコレクタ、半導体基板の一主面に上記第2の領域に近接して形成された第2導電型の第4の領域をエミッタとし、かつ電源端子と接地端子間に接続された横型バイポーラトランジスタと、上記縦型バイポーラトランジスタのコレクタ：ベース間もしくは上記横型バイポーラトランジスタのコレクタ：ベース間の少なくとも一方に設けられたツェナダイオードと、を備え、かつ、上記ツェナダイオードの耐圧をCMOSTランジスタに寄生的に形成される各種デバイスの耐圧よりも小さい値に設定したものである。

【0009】

【作用】本発明においては、上記の縦型バイポーラトランジスタと横型バイポーラトランジスタとでサイリスタを構成し、それに低耐圧化したツェナダイオードを接続した回路を、電源端子と接地端子間に挿入したものである。したがって、サージが印加されると、まずツェナダイオードがブレイクダウンし、それによってサイリスタがターンオンし、サージ電流は大部分がサイリスタと通常の入力保護回路のダイオード（入力端子と電源端子または接地端子間に挿入されたダイオード）の経路に流れるため、破壊に対して従来よりも強くなる。

【0010】

4

【実施例】図1は、本発明の一実施例の断面図、図2は図1の構造を前記図5の装置に適用した場合の等価回路図である。まず、構成を説明すると、N型基板51の表面に形成されたPウェル領域52の表面に、接地された高濃度N型拡散領域53とPウェルコンタクト領域54とが形成されている。さらにN型基板51の表面およびPウェル領域52の表面に跨る形で、電源に接続されたツェナダイオード用の高濃度N型拡散領域55が形成されている。この高濃度N型拡散領域55のPウェル領域52内での底部もしくは側部に高濃度のP型拡散領域56が形成されており、このP型拡散領域56と上記高濃度N型拡散領域55とで電源に接続されたツェナダイオード57が形成されている。また、高濃度N型拡散領域53をエミッタ、N型基板51をコレクタ、Pウェル領域52をベースとする縦型NPトランジスタ58が形成されている。同様に、N型基板51の表面にPウェル領域52と近接して形成された高濃度P型拡散領域59をエミッタ、N型基板51をベース、Pウェル領域52をコレクタとする横型PNPトランジスタ60が形成されている。これら2つのトランジスタ58、60およびベース抵抗61、62とでサイリスタ63を構成している。これらの抵抗は、バイポーラトランジスタ58、60についてはこれらによって構成されたサイリスタ63をターンオンしやすくするために形成したものである。

【0011】次に、図2に基づいて動作および効果を説明する。まず、従来例で問題になった入力端子－電源端子（Vdd）間に入力端子からマイナス・サージが印加された場合について説明する。ツェナダイオード57のブレイクダウン電圧を、他の各種ダイオード17、18や各種寄生バイポーラトランジスタ27、36、28等の耐圧よりも小さく設定しておけば、サージが印加されると、まずツェナダイオード57がブレイクダウンする。それと同時に縦型NPトランジスタ58がターンオンし、その結果、横型PNPトランジスタ60がターンオンする。すなわち、縦型NPトランジスタ58と、横型PNPトランジスタ60から成るサイリスタ63がターンオンし、サージ電流は電源端子からサイリスタ63およびダイオード18を経て入力端子に流れる。また、サージ電流の大きさによっては、ダイオード17もしくは寄生バイポーラトランジスタ27、28に流れる場合あり得るが、大部分がサイリスタ63およびダイオード18の経路に流れるため、破壊に対して従来よりも強くなる。

【0012】また入力端子－接地端子（GND）間に入力端子からプラス・サージが印加された場合、上記と同様に、ツェナダイオード57がブレイクダウンしてサイリスタ63がターンオンするため、サージ電流の大部分は入力端子からダイオード17とサイリスタ63を経て、接地端子に流れ、やはり破壊に対して強くなる。

【0013】なお、出力端子から印加されるサージに関

5

しても上記の説明と同様の効果がある。また、今まで述べた以外の極性のサージに関しては、従来通りの保護回路構成で十分である。さらに、上記の図1に示す構造の効果は、入出力を問わず、しかも全端子に対して共通の効果をもたらすので、本発明による保護回路は一つのLSIについて最低一個設ければ良い。

【0014】次に、図3は、本発明の他の実施例の断面図であり、図4はその等価回路図である。この実施例においては、N型基板71の表面に形成されたPウェル領域72の表面に、接地された高濃度N型拡散領域73とPウェルコンタクト領域74とが形成され、さらにN型基板71の表面にツェナダイオード用高濃度P型拡散領域75が形成されている。この高濃度P型拡散領域75の底部もしくは側部に高濃度のツェナダイオード用N型拡散領域76が形成されており、この高濃度P型拡散領域75とN型拡散領域76とでツェナダイオード77が形成されている。また、高濃度N型拡散領域73をエミッタ、N型基板71をコレクタ、Pウェル領域72をベースとする縦型NPNトランジスタ78と、N型基板71の表面にPウェル領域72と近接して形成された高濃度P型拡散領域79をエミッタ、N型基板71をベース、Pウェル領域72をコレクタとする横型PNPトランジスタ80とが形成されている。これら2つのトランジスタ78、80でサイリスタ84を構成している。図4の等価回路図においては、前記図2に示す第1実施例の場合とツェナダイオード77の入っている位置は異なっているが、動作は同様である。また、これまでの説明では、N型基板Pウェル構造の場合について述べてきたが、P型基板Nウェル構造の場合でも各拡散領域の不純物の導電型を逆にしたり、電位の極性を逆にすれば同様の作用、効果が得られる。

【0015】

【発明の効果】以上説明してきたように、この発明によれば、電源端子-接地端子間に低耐圧化したツェナダイオードを持つサイリスタを設けるように構成したことにより、静電サージ等に対する破壊耐量を向上させること

6

が出来る、という効果が得られる。特に、設計性のある入出力回路と異なり、内部回路に寄生的に形成される寄生デバイスにおける破壊(すなわち耐量低下)を防ぐことができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例の断面図。

【図2】図1の等価回路図。

【図3】本発明の他の実施例の断面図。

【図4】図3の等価回路図。

【図5】従来装置の入力保護回路の一例の断面図。

【図6】図5の等価回路図。

【図7】従来装置の出力回路の一例の断面図。

【図8】図7の等価回路図。

【符号の説明】

17…電源側ダイオード

18…接地側ダイオード

20…NMOSTランジスタ

27…寄生横型NPNトランジスタ

28…寄生縦型NPNトランジスタ

29…NMOSTランジスタの寄生ダイオード

30…PMOSTランジスタ

36…寄生横型PNPトランジスタ

40…PMOSTランジスタの寄生ダイオード

51…N型基板

52…P型ウェル領域

53…高濃度P型拡散領域

54…P型ウェルコンタクト領域

55…ツェナダイオード用の高濃度N型拡散領域

56…ツェナダイオード用のP型拡散領域

57…ツェナダイオード

58…縦型NPNバイポーラトランジスタ

59…高濃度P型拡散領域

60…横型PNPトランジスタ

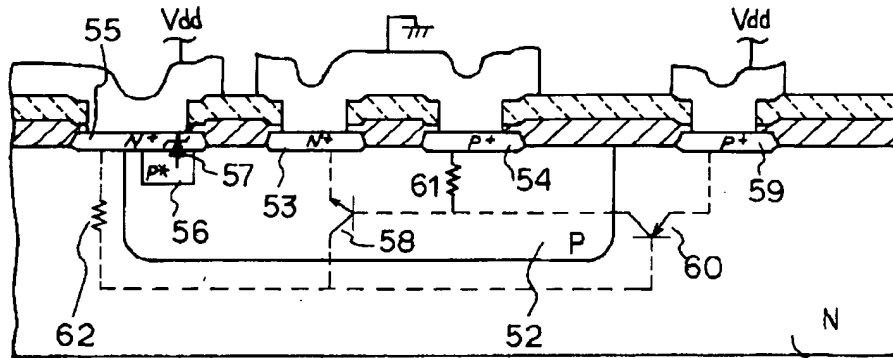
61…NPNトランジスタのベース抵抗

62…PNPトランジスタのベース抵抗

63…サイリスタ

【図1】

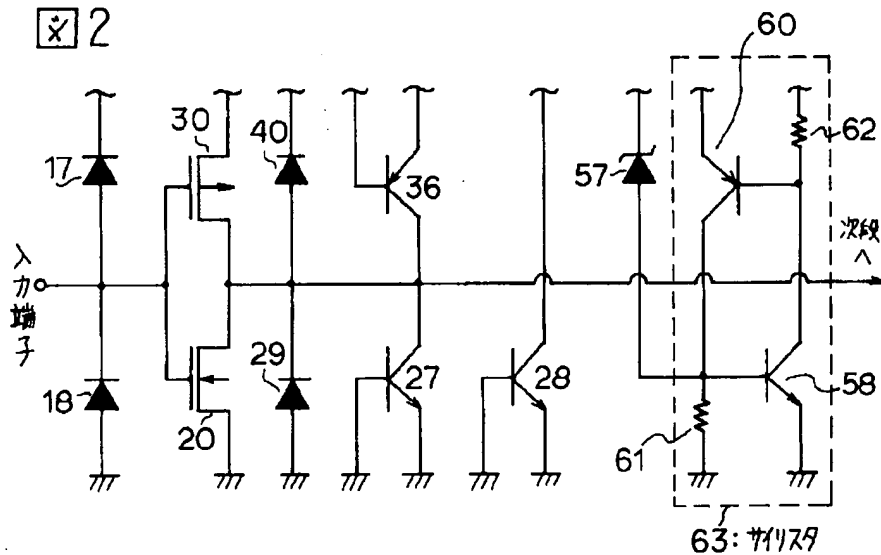
図1



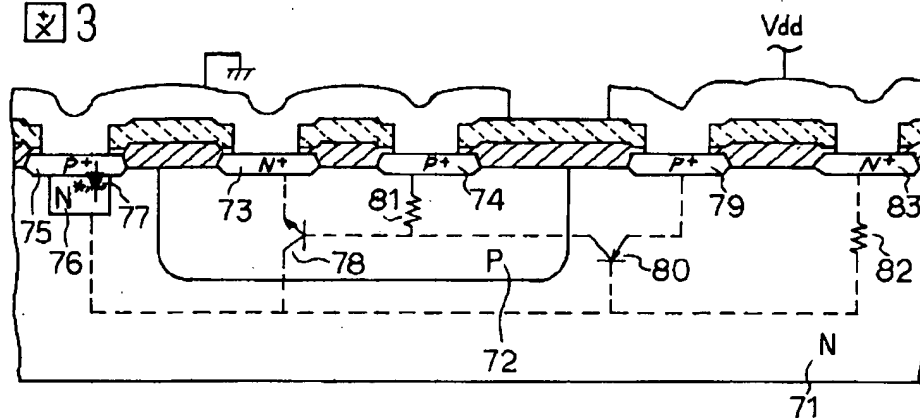
- |                   |                      |
|-------------------|----------------------|
| 51---N型基板         | 52---Pウエル領域          |
| 53---高濃度N型拡散領域    | 54---Pウエルコンタクト領域     |
| 55---ZD用高濃度N型拡散領域 | 56---ZD用P型拡散領域       |
| 57---ZD           | 58---バーティカルNPNトランジスタ |
| 59---高濃度P型拡散領域    | 60---ラテラルPNPトランジスタ   |
| 61---NPNTベース抵抗    | 62---PNPTベース抵抗       |

【図2】

図2

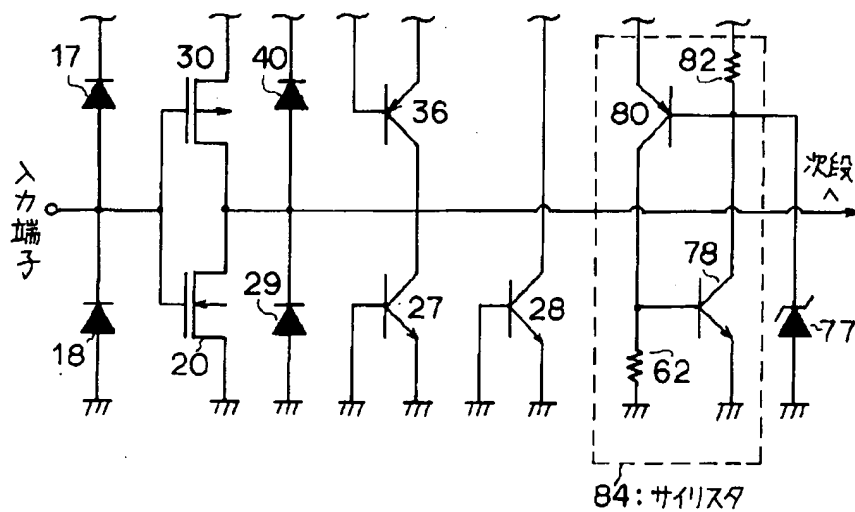


3

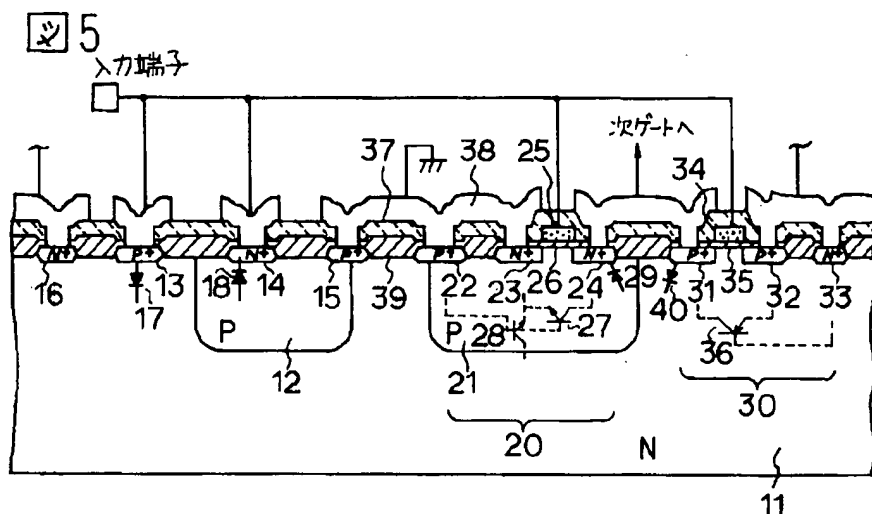


- |                    |                      |
|--------------------|----------------------|
| 71--- N型基板         | 72--- Pウェル領域         |
| 73--- 高濃度N型拡散領域    | 74--- Pウェルコンタクト領域    |
| 75--- ZD用高濃度P型拡散領域 | 76--- ZD用N型拡散領域      |
| 77--- ZD           | 78--- バージカルNPNTランジスタ |
| 79--- 高濃度P型拡散領域    | 80--- ラテラルPNPTランジスタ  |
| 81--- NPNTベース抵抗    | 82--- PNPTベース抵抗      |
| 83--- N基板コンタクト領域   |                      |

4



【図5】



- |                            |                          |
|----------------------------|--------------------------|
| 11 --- N型基板                | 12 --- 第1のP型ウェル          |
| 13 --- 第1の高濃度P型拡散領域        | 14 --- 第1の高濃度N型拡散領域      |
| 15 --- 第1のPウェルコンタクト領域      | 16 --- 第1のN型基板コンタクト領域    |
| 17 --- 電源側ダイオード            | 18 --- 接地側ダイオード          |
| 20 --- NMOSトランジスタ          | 21 --- NMOSトランジスタ用Pウェル   |
| 22 --- NMOSトランジスタ基板コンタクト領域 | 23 --- NMOSトランジスタソース領域   |
| 24 --- NMOSトランジスタドレイン領域    | 25 --- ゲート電極(NMOSトランジスタ) |
| 26 --- ゲート酸化膜(NMOSトランジスタ)  | 27 --- 寄生ラテラルNPNトランジスタ   |
| 28 --- 寄生バーティカルNPNトランジスタ   | 30 --- PMOSトランジスタ        |
| 31 --- PMOSトランジスタドレイン領域    | 32 --- PMOSトランジスタソース領域   |
| 33 --- PMOSトランジスタ基板コンタクト領域 | 34 --- ゲート電極(PMOSトランジスタ) |
| 35 --- ゲート酸化膜(PMOSトランジスタ)  | 36 --- 寄生ラテラルPNPトランジスタ   |
| 37 --- 層間絶縁膜               | 38 --- 金属(Al)配線          |
| 39 --- フィールド酸化膜            | 29 --- NMOSトランジスタ寄生ダイオード |
| 40 --- PMOSトランジスタ寄生ダイオード   |                          |



⑥ 6

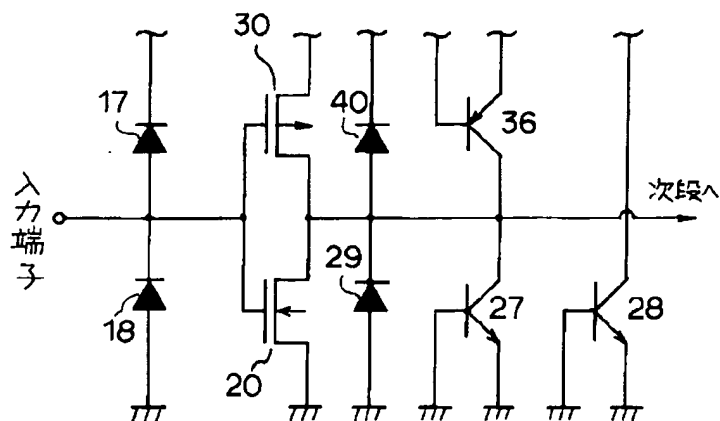
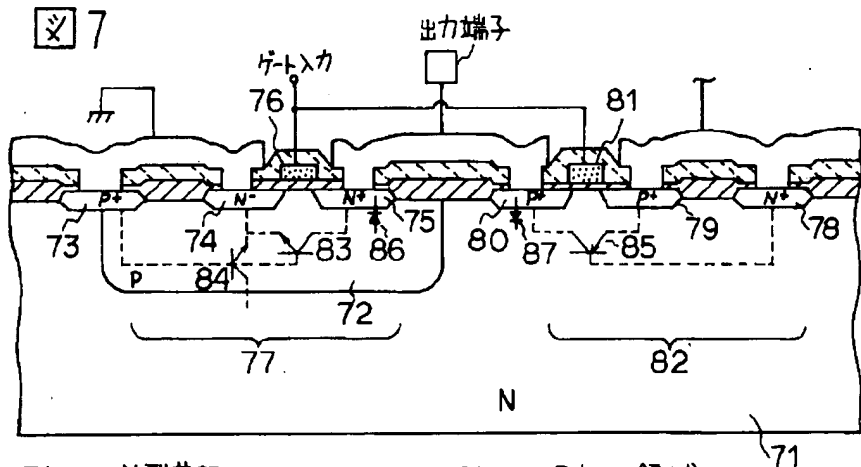


图 7



- |                            |                            |
|----------------------------|----------------------------|
| 71 --- N型基板                | 72 --- Pウェル領域              |
| 73 --- Pウェルコンタクト領域         | 74 --- 出力NMOSトランジスタソース領域   |
| 75 --- 出力NMOSトランジスタドレイン領域  | 76 --- ゲート電極（出力NMOSトランジスタ） |
| 77 --- 出力NMOSトランジスタ        | 78 --- N基板コンタクト領域          |
| 79 --- 出力PMOSトランジスタソース領域   | 80 --- 出力PMOSトランジスタドレイン領域  |
| 81 --- ゲート電極（出力PMOSトランジスタ） | 82 --- 出力PMOSトランジスタ        |
| 83 --- 寄生ラテラルNPNトランジスタ     | 84 --- 寄生バーティカルNPNトランジスタ   |
| 85 --- 寄生ラテラルPNPトランジスタ     | 86 --- NMOSトランジスタ寄生ダイオード   |
| 87 --- PMOSトランジスタ寄生ダイオード   |                            |

図 8

